

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-329682
 (43)Date of publication of application : 15.11.2002

(51)Int.Cl.

H01L 21/285
 C23C 16/18
 C25D 5/34
 C25D 7/12
 H01L 21/288
 H01L 21/768

(21)Application number : 2001-132771

(71)Applicant : ANELVA CORP

(22)Date of filing : 27.04.2001

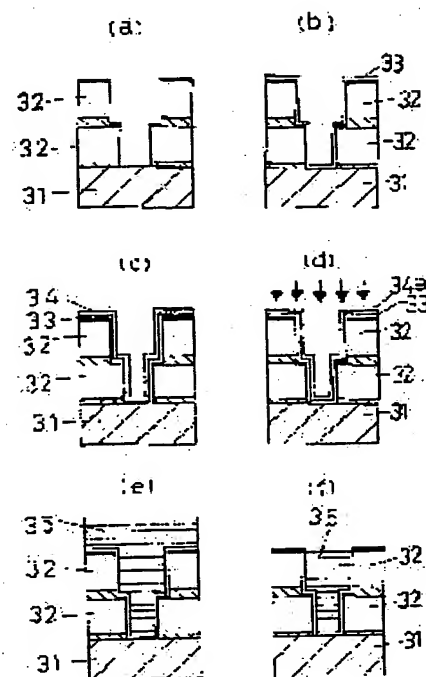
(72)Inventor : SEKIGUCHI ATSUSHI
 SHIBAGAKI MASAHA
 KOIDE TOMOAKI
 KUNINOBU TAKASHI
 SUZUKI KAORU

(54) Cu THIN FILM MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of forming a Cu thin film which effectively prevents fine open holes from growing near the interface of a first copper film and a second copper film formed thereon by the electrolytic copper plating, in the Cu film forming method comprising a Cu-CVD step of forming the first copper film to be a Cu seed film by the CVD method good in coverage and a plating step of forming the second copper film on the first copper film by the electrolytic copper plating.

SOLUTION: Between a Cu-CVD step of forming a first copper film (as a deposit film) to be a Cu seed film and a plating step, a reforming step is inserted to reform the first copper film by exposing the first copper film to an active atmosphere using any of free active seeds produced by plasma or thermal decomposition of molecules.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-329682
(P2002-329682A)

(43) 公開日 平成14年11月15日 (2002. 11. 15)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 21/285	3 0 1	H 0 1 L 21/285	C 4 K 0 2 4
C 2 3 C 16/18		C 2 3 C 16/18	3 0 1 Z 4 K 0 3 0
C 2 5 D 5/34		C 2 5 D 5/34	4 M 1 0 4
7/12		7/12	5 F 0 3 3

審査請求 未請求 請求項の数 7 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2001-132771(P2001-132771)

(22) 出願日 平成13年4月27日 (2001. 4. 27)

(71) 出願人 000227294

アネルパ株式会社

東京都府中市四谷5丁目8番1号

(72) 発明者 関口 敦

東京都府中市四谷5丁目8番1号 アネル
パ株式会社内

(72) 発明者 柴垣 真果

東京都府中市四谷5丁目8番1号 アネル
パ株式会社内

(74) 代理人 100059281

弁理士 鈴木 正次 (外1名)

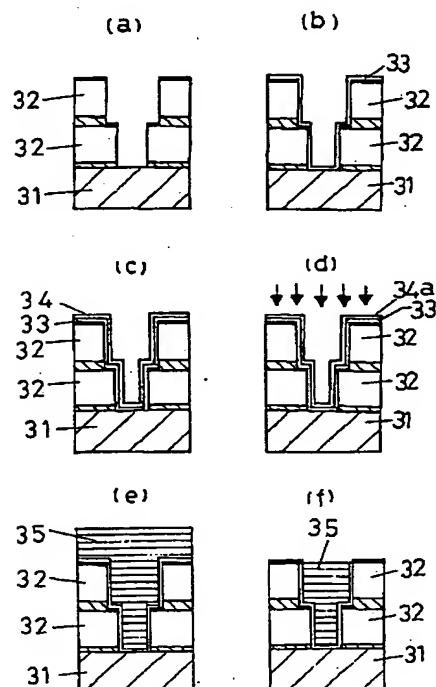
最終頁に続く

(54) 【発明の名称】 Cu薄膜作製方法

(57) 【要約】

【課題】 Cu-Seed膜となる第一の銅膜を被覆性が良好なCVD法によって成膜するCu-CVD工程と、当該第一の銅膜上に電解銅めっき法によって第二の銅膜を作製するめっき工程とを含むCu薄膜の作製方法において、第一の銅膜と、その上に電解銅めっき法によって作製された第二の銅膜との界面近傍に微細な空孔が生成されることを効果的に防止できるCu薄膜の作製方法を提案する。

【解決手段】 Cu-Seed膜となる第一の銅膜 (as depo. 膜) を成膜するCu-CVD工程と、めっき工程との間に、前記第一の銅膜を、プラズマ、又は分子を熱分解して生成した遊離活性種のいずれかを使用した活性雰囲気中に晒して改質を行う改質工程を介在させることによって課題を解決した。



【特許請求の範囲】

【請求項1】 基体と、当該基体の所定の表面に第一の銅膜をCVD法によって成膜するCu-CVD工程と、当該第一の銅膜を電極とした電解銅めっき法によって当該第一の銅膜上に更に第二の銅膜を成膜するめっき工程とを含むCu薄膜作製方法において、前記Cu-CVD工程と、めっき工程との間に、前記第一の銅膜を活性雰囲気中に晒して改質を行う改質工程を介在させることを特徴としたCu薄膜作製方法。

【請求項2】 改質工程の活性雰囲気を作る手段としてプラズマを使用することを特徴とする請求項1記載のCu薄膜作製方法。

【請求項3】 改質工程の活性雰囲気を作る手段として分子を熱分解して生成した遊離活性種を使用することを特徴とする請求項1記載のCu薄膜作製方法。

【請求項4】 改質工程は、水素を含有したガスが存在している活性雰囲気で行われることを特徴とする請求項1乃至3のいずれか一項記載のCu薄膜作製方法。

【請求項5】 改質工程は、基体の温度を-100℃～250℃の範囲に保って行うことを特徴とする請求項1乃至4のいずれか一項記載のCu薄膜作製方法。

【請求項6】 改質工程は、前記Cu-CVD工程と同一の真空内で行うことを特徴とした請求項1乃至5のいずれか一項記載のCu薄膜作製方法。

【請求項7】 密着性改善工程が、Cu-CVD工程の前、Cu-CVD工程と改質工程との間、改質工程とめっき工程との間の少なくとも一箇所で行われることを特徴とした請求項1乃至5のいずれか一項記載のCu薄膜作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、Cu薄膜の作製方法に関し、特に、被処理基板上に形成され、凹部が設けられている絶縁膜上に形成した拡散バリア膜上に銅膜を形成し、前記凹部を銅材料で充填する配線用のCu薄膜の作製に適したCu薄膜の作製方法に関する。

【0002】

【従来の技術】 近年、半導体デバイスの高性能化に伴い、配線材料としてCu（銅）が使用されている。その理由は、Cuは、Al（アルミニウム）に比較して低抵抗であり、ストレスマイグレーションやエレクトロマイグレーションという配線を構成する金属原子の拡散挙動が支配する現象に対して高い耐性をもっているからである。

【0003】 このようなCuを用いた配線の形成については、絶縁膜に配線及び接続孔（ビアホール、またはコンタクトホール）のパターンを形成し、その後バリア膜を成膜、さらに、銅（Cu）膜をパターン凹部に埋め込み、CMP（化学的機械研磨法）により余分な銅膜等を除去して行う方法が用いられている。

【0004】 従来から使用されている配線用のCu薄膜の作製方法を図1を用いて説明する。図1（a）のように、基体（半導体基板）1上に形成され、凹部が設けられた絶縁膜2を所定パターンにエッチングした後、図1（b）図示のように、PVD法により下地バリア膜3を成膜する。次いで、図1（c）図示のように、PVD法により第一の銅膜4を成膜する（この、第一の銅膜（as depo. 膜）は、電解銅めっきの電極用下地膜となるもので、Cu-Seed 膜と呼ばれるものである。）。次に、図1（d）図示のように、電解めっき装置を用い、この第一の銅膜（Cu-Seed 膜）4を電極とし、絶縁膜2の所定パターン内を符号5で表すように第二の銅膜で埋め込む。次いで、図1（e）図示のように、CMP（化学的機械研磨法）により余分な銅膜等を除去するものである。

【0005】 前記のように埋め込まれたCuは、将来、素子の配線として使用されるものであるが、近年、デバイスの集積化が進むにつれて、微細で、深い穴や溝への被覆性の良いバリア膜やCu-Seed 膜の成膜が求められている。

【0006】 電解銅めっきによる埋め込みは、コストのかからない技術として広く採用されてきているが、上述のように、予め、Cu-Seed 膜となる第一の銅膜を形成しておく必要がある。

【0007】 このCu-Seed 膜となる第一の銅膜を良好な被覆性で作製する方法として注目されている方法の一つに、有機金属化合物や有機金属錯体を原料として用いたCVD法（化学気相成長法）がある。

【0008】 Cu-Seed膜となる第一の銅膜の作製にCVD法を用いた従来の配線用のCu薄膜の作製方法を図2を用いて説明する。図2（a）のように、基体（半導体基板）1上に形成され、凹部が設けられた絶縁膜2を所定パターンにエッチングした後、図2（b）図示のように、例えば、MOCVD法（Metal Organic Chemical Vapor Depositon）により下地バリア膜（例えば、TiN膜）3を成膜する。次いで、図2（c）図示のように、CVD法によりCu-Seed 膜となる第一の銅膜（as depo. 膜）4を成膜する。次いで、図2（e）図示のように、電解めっき装置により、Cu-Seed 膜となる第一の銅膜4を電極とし、絶縁膜2の所定パターン内を符号5で表すように第二の銅膜で埋め込み、図2（f）図示のように、CMP（化学的機械研磨法）により余分な銅膜等を除去するものである。なお、第一の銅膜4を成膜した後、図2（d）図示のように、密着性改善を目的として加熱（アニール）処理を行い、アニール処理後の第一の銅膜4をCu-Seed 膜とすることもある。また、図示していないが、下地バリア膜3を成膜した後、第一の銅膜4の成膜前に、密着性改善を目的としてプラズマ処理などを行うこともある。

【0009】 従来の配線用のCu薄膜の作製方法において、Cu-Seed 膜となる第一の銅膜の作製に前記のように

有機金属化合物や有機金属錯体を原料として用いたCVD法を用いることにより、微細パターンに対応できる第一の銅膜（Cu-Seed膜）形成が可能になった。

【0010】

【発明が解決しようとする課題】しかし、CVD法を用いた従来の配線用Cu薄膜作製方法における図2（e）図示の状態の電解銅めっき後の膜の断面をSEM（走査型電子顕微鏡）で観察したところ、第一の銅膜と、電解銅めっきにより形成された第二の銅膜との界面近傍に微細な空孔が存在することが明らかになった（図3、図4）。

【0011】この空孔は、as depo. 状態である第一の銅膜（Cu-Seed膜）の上に電解銅めっきにより形成された第二の銅膜の界面特性を悪化させるものである。そして、このようにして作製されたCu薄膜が配線として使用されると、配線抵抗の増大、エレクトロマイグレーション耐性の低下などの不具合を生じさせるものである。

【0012】つまり、半導体集積回路素子に関しては、現状の動作速度より更なる高速化が求められている。このような高速化素子を作製するには、配線抵抗の低抵抗化は必須である。しかるに、前記のように、as depo. 状態である第一の銅膜（Cu-Seed膜）と、この上に電解銅めっきにより形成された第二の銅膜との界面近傍に微細な空孔が存在することによって、配線抵抗の増大がもたらされてしまうと、高速化素子の作製にとっては致命的な欠点となりかねない。

【0013】更に、半導体集積回路素子の集積度が増大することにより、配線部分が微細化され、この部分に流す電流密度が増加する。このため、従来より更なるエレクトロマイグレーション耐性が配線に求められるので、エレクトロマイグレーション耐性の低下も、高速化素子の作製にとって、致命的な欠点になりかねない。

【0014】そこで、この発明は、被覆性が良好なCVD法によってCu-Seed膜となる第一の銅膜（as depo. 膜）を成膜し、次いで当該第一の銅膜を電極とした電解銅めっき法によって第一の銅膜上に更に第二の銅膜を作製するめっき工程とを含むCu薄膜の作製において、前記第一の銅膜と第二の銅膜との界面近傍に微細な空孔が生成されることを効果的に防止できるCu薄膜の作製方法を提案することを目的としている。

【0015】

【課題を解決するための手段】本発明は、被覆性が良好なCVD法によってCu-Seed膜となる第一の銅膜（as depo. 膜）を形成した後、当該第一の銅膜を電解銅めっき用電極として用いるめっき工程を行う前に、当該第一の銅膜を活性雰囲気中で処理する改質工程を行い、このように改質処理された第一の銅膜をCu-Seed膜とすることにより、前記課題を解決したものである。

【0016】すなわち、この発明が提案するCu薄膜作製方法は、半導体基板などの基体と、当該基体の所定の

表面（例えば、半導体基板上に形成され、凹部が設けられた絶縁膜の表面など）に第一の銅膜をCVD法によって成膜するCu-CVD工程と、当該第一の銅膜を電極とした電解銅めっき法によって当該第一の銅膜上に更に第二の銅膜を成膜するめっき工程とを含むCu薄膜作製方法において、前記Cu-CVD工程と、めっき工程との間に、前記as depo. 状態にある第一の銅膜を活性雰囲気に晒して改質を行う改質工程を介在させることを特徴とするものである。

【0017】ここで、改質工程の活性雰囲気を作る手段としては、プラズマ、又は分子を熱分解して生成した遊離活性種のいずれかを採用することができる。

【0018】また、改質工程は、水素を含有したガスが存在している活性雰囲気で行われることが望ましく、更に、改質工程は、基体の温度を $-100^{\circ}\text{C}\sim 250^{\circ}\text{C}$ の範囲に保って行うことが望ましい。

【0019】また、改質工程は、前記Cu-CVD工程と同一の真空内で行うことが望ましく、更に、密着性改善工程を、Cu-CVD工程の前、Cu-CVD工程と改質工程との間、改質工程とめっき工程との間の、少なくとも一箇所に介在させることもできる。

【0020】この密着性改善工程としては、従来公知のプラズマ処理や、アニール処理を行うことができる。

【0021】

【発明の実施の形態】以下、添付図面を参照して本発明の好ましい実施形態を説明する。

【0022】図5図示の装置は、本発明のCu薄膜作製方法が、例えば、被処理基板上に形成され、凹部が設けられている絶縁膜上に形成した拡散バリア膜上に第一の銅膜が形成され、次いで、前記凹部を銅材料で充填する配線用のCu薄膜の作製に用いられる際に使用し得るものである。例えば、図7図示のように、半導体基板31上に形成され、凹部が設けられた絶縁膜32上に、拡散バリア用下地膜（例えば、TiN膜）33が成膜され、この上に、Cu-CVD法によって第一の銅膜（as depo. 膜）34が形成され、次いで、このas depo. 状態の第一の銅膜34に改質処理が施される工程を行うまでのシステムの一例を表すものである。

【0023】この場合、絶縁膜32が、例えば有機低誘電率膜であってもかまわない。しかも、拡散バリア用下地膜33は、TiN膜に限られることなく、Ta、Ta₂N₅、WxNy、TiSiN等の高融点金属膜でも可能であり、また、この拡散バリア用下地膜33の成膜方法もCVD法に限られず、スパッタリングなどを用いてもかまわない。

【0024】図5は、この発明のCu薄膜作製方法に使用し得るCu薄膜作製装置がマルチチャンバ方式の装置として構成されている場合の一例を説明するものである。搬送ロボット（基板搬送機構）11を内蔵したセレーションチャンバ（トランスファーチャンバ）12が

中央に設けられており、セパレーションチャンバ12の周囲に、拡散バリア膜成膜用のTiN-CVDチャンバ13、Cu-CVDチャンバ14、改質処理チャンバ15、アニールチャンバ16が配置されていると共に、2つのロード／アンロードモジュール17、18が付設されている。各チャンバには、それぞれ真空排気機構13a、14a、15a、16aが備えられており、また、各チャンバ等には、それぞれゲートバルブ19が設けられている。真空排気機構13a、14a、15a、16aの動作は不図示のコントローラによって制御され、各チャンバ内が内部を適宜、減圧状態、すなわち所望の真空状態に保持される。また、各チャンバで使用されるプロセスガス等の流量制御も不図示のコントローラによって行われる。

【0025】なお、ここで「モジュール」とは、装置・機械・システムを構成する部分で、機能的にまとまった部分を意味する。したがって、前記のTiN-CVDチャンバ13、Cu-CVDチャンバ14、改質処理チャンバ15、アニールチャンバ16も、モジュールとして構成されており、これらのプロセスが実施される場所を指す用語としてチャンバが使用される。

【0026】セパレーションチャンバ12の内部には、搬送ロボット（基板搬送機構）11が設けられ、搬送ロボット11は、そのハンドで基板（半導体基板）31を各チャンバ等に搬入、又は、各チャンバ等から搬出する。上記装置において、カセット（図示せず）にセットされた1枚の基板（半導体基板）31は、図面左側のロード／アンロード・ロック・モジュール18から搬送ロボット11によってセパレーションチャンバ12内に搬入される。

【0027】拡散バリア用TiN-CVDチャンバ13、Cu-CVDチャンバ14、改質処理チャンバ15、アニールチャンバ16の各プロセスチャンバは、搬送ロボット11により各プロセスチャンバ内に搬入される基板（半導体基板）31を配置できる基板支持機構（不図示）を具備している。基板支持機構（不図示）は、基板（半導体基板）31を所定の温度に保持できる基板加熱機構（不図示）を備えており、各工程のプロセスは、基板（半導体基板）31が基板支持機構に配置されている状態で進行する。

【0028】本発明のCu薄膜作製方法が、例えば、配線用のCu薄膜の作製に用いられる場合の図5図示の装置を用いたプロセスの一例を説明する。

【0029】拡散バリア用TiN-CVDチャンバ13で、図7（b）図示のように、基板（半導体基板）31上に形成され、凹部が設けられた絶縁膜32上に、拡散バリア用下地膜としてTiN膜33が、MOCVD（Metal Organic Chemical Vapor Deposition）法で成膜される。

【0030】次いで、Cu-CVDチャンバ14で、図

7（c）図示のように、CVD法により第一の銅膜34を成膜する。こうして、as depo. 状態である第一の銅膜34が形成された後、本発明のCu薄膜作製方法に必須の、第一の銅膜（as depo. 膜）34を活性雰囲気中に晒して改質を行う改質処理が図7（d）の工程で行われる。

【0031】この改質処理は、図5図示の構成のシステムでは、改質処理チャンバ15において、第一の銅膜34をプラズマに晒す処理として行われる。この改質処理により、図7（e）図示の電解銅めっき工程に移行される直前の、改質処理を施した第一の銅膜34（図7

（d）において、Cu-Seed膜34aとして表示）が形成される。

【0032】なお、必要に応じて、密着性改善を図るための密着性改善工程を、Cu-CVD工程（図7

（c）の前、Cu-CVD工程（図7（c））と改質工程（図7（d））との間、改質工程（図7（d））の後の、少なくとも一箇所に介在させることもできる。例えば、拡散バリア用下地膜としてTiN膜33が成膜された（図7（b））後、Cu-CVD工程で第一の銅膜34が成膜される（図7（c））前に密着性改善工程を介在させ、更に、Cu-CVD工程で第一の銅膜34が成膜された（図7（c））後、改質処理が行われる（図7（d））前に密着性改善工程を介在させることなどが可能である。

【0033】この密着性改善工程としては、図5図示の装置の場合、アニールチャンバ16が備えられているので、アニール処理を行うことができる。また、密着性改善工程としては、プラズマ処理を行うことも可能である。

【0034】これらの一連の処理が施された基板（半導体基板）31は、搬送ロボット11によってロード／アンロード・ロックモジュール17に戻されて搬出され、大気開放後、図7（e）図示のめっき工程へと進められることになる。

【0035】本発明に係るCu薄膜作製方法は、前述のように、基板（半導体基板）31の表面に、Cu-CVD法によってas depo. 状態の第一の銅膜34を成膜し、電解銅めっき法によってこの第一の銅膜34上に更に第二の銅膜35を成膜する一連のCu薄膜作製工程において、第一の銅膜34形成後に、第一の銅膜34を活性雰囲気に晒して改質を行う改質工程（図7（d））を介在させ、かかる改質のなされた第一の銅膜34をCu-Seed膜34aとし、この上に電解銅めっき法によって第二の銅膜35を成膜することを特徴としている。

【0036】図5図示の装置を用いて行われる本発明のCu薄膜作製方法が、配線用Cu薄膜の作製に用いられる場合の各工程のプロセス条件の一例を以下に説明する。

【0037】まず、拡散バリア用TiN-CVDチャンバ13では、基板（半導体基板）31上に形成され、凹部

が設けられた絶縁膜32上に、拡散バリア用下地膜としてTiN膜33がMOCVDで成膜されて、図7(b)図示状態となるTiNCVD成膜工程を行う。具体的には、拡散バリア用TiN-CVDチャンバ13内の圧力は、例えば、0.1~15Paの範囲で、基板(半導体基板)31の温度は、約300~400℃となるように加熱される。この状態で、まず原料ガスとしてTDAA T(テトラキスジアルキルアミノチタン)を、例えば、0.004~0.2g/min.の範囲で供給する。このとき、配管内で原料ガスの流動性を良くするために添加するキャリアガス(Ar:アルゴンガス)は、約0.05~3.0g/min(約30~170ml/min)の流量範囲とする。添加ガス(NH₃:アンモニアガス)は、例えば、0.76~380mg/minの流量範囲で供給される。上記の条件で、拡散バリア膜33を、10nmの膜厚で成膜した(図7(b))。

【0038】次に、上記TiNCVD成膜工程を終えた基板(半導体基板)31は、Cu-CVDチャンバ14内に搬入され、ここで、拡散バリア用下地膜としてのTiN膜33の上に、CVD法によって第一の銅膜34が形成される(図7(c))。Cu-CVDチャンバ14内の内部圧力は、例えば、1.0kPaに保持され、基板(半導体基板)31の温度は、約170℃に設定されている。この状態で、原料ガスとしてCu(hfac)(tmvs)(トリメチルビニルシリルヘキサフルオロアセチルアセトナト酸塩銅I)を使用し、as depo.状態である第一の銅膜34の成膜を行った(図7(c))。

【0039】第一の銅膜34の成膜工程を終えた基板(半導体基板)31は、図6にその一例の概略構成が説明されている改質処理チャンバ15の真空室21a内に、ゲートバルブ19を介し、搬送ロボット11により搬入され、基板支持機構23上に配置される。次いで、例えば、以下のように、改質処理が行われる。

【0040】まず、ガス導入管24から、基板支持機構23に対向して備えられているガス供給器22を介して、真空室21a内にArガスが導入される。排気室21b側に付設されている真空排気機構15aによって排気を行い、真空室21a内を所定の真空度に保ちつつ、整合回路26を介して基板支持機構23に接続されている高周波電源25から、基板支持機構23側に高周波電力を供給し、真空室21a内にプラズマ放電を生成し、生成されたArガスのプラズマに基板(半導体基板)31を晒す。

【0041】この改質処理のプロセス条件は、一例として、基板(半導体基板)31の温度を室温に保ち、Arガスを、200ml/min.の流量範囲で導入し、改質処理チャンバ15内を0.7Paの真空度に保ち、基板支持機構23側に、60MHzの高周波電力を200W供給し、プラズマ放電を40秒間維持させる条件を採用できる。

【0042】なお、Arガスに代えて、H₂ガスが混合されたArガスを導入すると、以下の試験例で実証されたように、第一の銅膜34と、この上に電解銅めっき法により形成される第二の銅膜35との界面近傍に微細な空孔が生成されることをより効果的に防止できるので有利である。例えば、前記のプロセス条件において、Arガスを3%H₂/Arガスに代え、前記のプロセス条件のArガスの流量で導入することができる。

【0043】また、以上説明した本発明のCu薄膜作製方法において、改質処理チャンバ15で行われる改質工程(前述の場合は、プラズマ処理工程)が完了するまでは、処理中の基板(半導体基板)31を大気に晒すことなく、真空の雰囲気中で連続的に処理工程を進行させることが望ましい。

【0044】

【試験例】前述した処理プロセスを経て、改質処理がなされた第一の銅膜34(Cu-Seed膜34a)を電極とした電解銅めっき法によって第一の銅膜34の上に、更に第二の銅膜35を形成した試料基板について、めっき後の膜の断面をSEM(走査型電子顕微鏡)で観察した。Arガスのプラズマを用いて改質処理を行ったものも、H₂ガスが混合されたArガスのプラズマを用いて改質処理を行ったものも、図3、図4図示の従来の場合と同じ拡大倍率にて観察したところ、第一の銅膜(Cu-Seed膜)と、この上に電解銅めっき法によって形成した第二の銅膜との界面近傍に空孔の存在は確認できなかった。

【0045】なお、前述した処理プロセスを経て形成された前述の試料基板について、Arガスのプラズマを用いて改質処理を行ったものと、H₂ガスが混合されたArガスのプラズマを用いて改質処理を行ったものとの比較すべく、更に、倍率を大きくして観察したところ、Arガスのプラズマを用いて改質処理を行ったものでは、僅かながら、第一の銅膜と、この上に電解銅めっき法によって形成された第二の銅膜との界面近傍に微細な空孔が存在していることが確認できた。しかし、H₂ガスが混合されたArガス(3%H₂/Arガス)のプラズマを用いる改質処理が介在されている場合には、同じ拡大倍率でも、第一の銅膜と、この上に電解銅めっき法によって形成された第二の銅膜との界面近傍に微細な空孔の存在は確認できなかった。そこで、Cu-Seed膜となる第一の銅膜と第二の銅膜との界面近傍に微細な空孔が生成されることをより効果的に防止する上では、H₂ガスが混合されたArガスのプラズマを用いる方が望ましいと考えられる。

【0046】以上、添付図面を参照して本発明の好ましい実施形態を説明したが、本発明はかかる実施形態に限定されるものではなく、特許請求の範囲の記載から把握される技術的範囲において種々の形態に変更可能である。

【0047】例えば、Cu-CVD工程と、めっき工程

との間で、第一の銅膜を活性雰囲気中に晒して改質を行う改質工程の活性雰囲気を作る手段として、プラズマに代えて、分子を熱分解して生成した遊離活性種を採用することもできる。

【0048】この場合は、図5図示のシステムにおいて、改質処理チャンバ15として、真空排気可能なチャンバ内に配置されているタングステン等の高融点金属からなる発熱体を1000℃～2000℃程度の高温に維持しながら原料ガスを導入し、当該原料ガスが発熱体の表面を通過する際に分解及び／又は活性化される方式の改質処理チャンバを採用し、原料ガスとして、Arガス、又はH₂ガスが混合されたArガスを導入するように構成することができる。

【0049】プラズマ処理を行う図6図示の改質処理チャンバ15としては、従来公知のプラズマCVDチャンバを、また、前記の活性雰囲気を作る手段として分子を熱分解して生成した遊離活性種が採用される改質処理チャンバとしては、従来公知の発熱体CVDチャンバをそれぞれ応用して用いることができる。

【0050】なお、Cu-CVD工程とめっき工程との間で、第一の銅膜を活性雰囲気中に晒して改質を行う際に、活性雰囲気を作る手段として前述したプラズマを用いる場合であっても、分子を熱分解して生成した遊離活性種を用いる場合であっても、基板（半導体基板）31の温度は、-100℃～250℃の範囲に保持しておくことが望ましい。これは、第一の銅膜34を成膜する前段のCu-CVD工程の成膜温度領域（通常、約200℃程度）からあまり高くない温度領域で改質処理することによって、成膜されている第一の銅膜34の銅原子が移動しないようにするためである。第一の銅膜34は、その後の電解銅めっき工程での電極としての機能が満足される厚さであれば、コスト上、薄さを求められるものであり、通常は、100nm程度以下の厚さにされている。このような薄い第一の銅膜34に対して、プラズマの照射や発熱体から受ける輻射熱等による基板（半導体基板）31の温度上昇を防止し、銅原子の移動による流動化や凝集を妨げるため、改質処理中の基板（半導体基板）31は、Cu-CVD工程の成膜温度領域からあまり高くない、好ましくは、Cu-CVD工程の成膜温度領域より低い温度領域に保たれていることが望ましい。ただし、液体窒素の温度（-100℃）より低くなると、実用上、冷媒として液体窒素を用いることができないので、コストの低減や、装置の簡略化を図れる実用的な下限の温度としては、-100℃となる。

【0051】なお、このような改質処理中の基板（半導体基板）31の温度調節は、基板支持機構23に備えられている温度調節機構（不図示）によって行われる。

【0052】

【発明の効果】この発明のCu薄膜作製方法によれば、Cu-Seed膜となる第一の銅膜（as depo. 膜）を被覆性が

良好なCVD法によって成膜する工程と、この第一の銅膜の上に電解銅めっき法によって第二の銅膜を成膜する工程とを含むCu薄膜の作製において、第一の銅膜と、その上に電解銅めっき法によって形成される第二の銅膜との界面近傍に微細な空孔が生成されることを効果的に防止できる。

【0053】この結果、本発明のCu薄膜作製方法は、動作速度の更なる高速化素子に対応できる程度に配線抵抗が小さい半導体集積回路素子の作製に用いることができる。また、半導体集積回路素子の集積度が增大することにより、配線部分が微細化され、この部分に流す電流密度が増加して、更なるエレクトロマイグレーション耐性が求められる配線の作製にも用いることができる。

【0054】また、今後、デュアルダマシンやボーダレス配線化が一層進むことが予想されるが、デュアルダマシンでは、そのエッチストップに使用されるSiN膜が、デュアルダマシンのviaや、溝の形成時に、オーバーハング状態となってしまう。このオーバーハング状のSiN膜の直下へも段差被覆性の良いCu-CVD法を用いてCu-Seed膜を形成することが試みられている。

【0055】このような、オーバーハング状のSiN膜の直下にCu-CVD法を用いてCu-Seed膜となる第一の銅膜（as depo. 膜）が形成され、この第一の銅膜を電極とした電解銅めっき法によって第二の銅膜が形成される際にも、本発明のCu薄膜作製方法を採用すれば、第一の銅膜と、その上に電解銅めっき法によって形成される第二の銅膜との界面近傍に微細な空孔が生成されることを効果的に防止できる。

【図面の簡単な説明】

【図1】（a）～（e）は、従来の配線用Cu薄膜の作製方法の工程を説明する図である。

【図2】（a）～（f）は、従来の他の配線用Cu薄膜の作製方法の工程を説明する図である。

【図3】図2で説明した従来の配線用Cu薄膜の作製方法によって作製されたCu薄膜の、めっき後の膜断面の状態を説明する拡大断面図である。

【図4】図3図示のめっき後の膜断面における第一の銅膜と第二の銅膜との界面近傍部分を図3図示の状態より更に拡大して表した拡大断面図である。

【図5】本発明のCu薄膜作製方法に使用し得る装置の概略構成例を表す図である。

【図6】本発明のCu薄膜作製方法に使用し得る改質処理チャンバの概略構成例を表す断面図である。

【図7】（a）～（f）は、本発明のCu薄膜作製方法が、配線用Cu薄膜に用いられる場合の工程の一例を説明する図である。

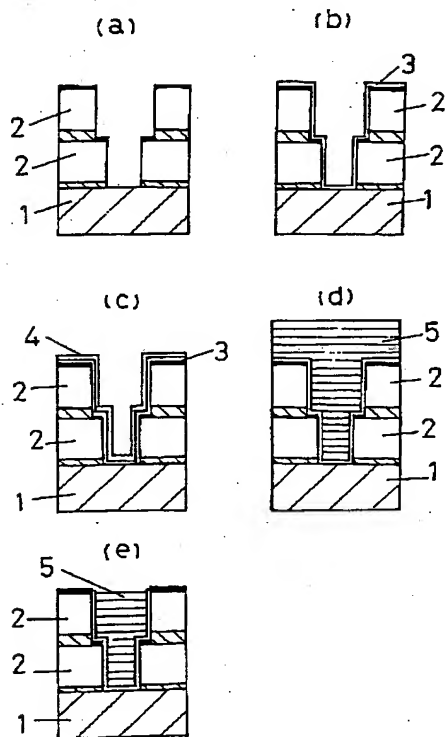
【符号の説明】

- 1 半導体基板
- 2 絶縁膜
- 3 TiN膜（拡散バリア用下地膜）

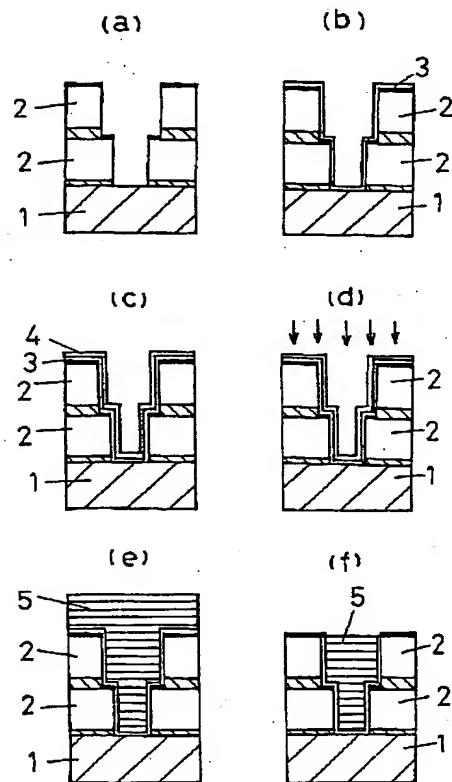
- 4 第一の銅膜
- 5 第二の銅膜
- 31 基板（半導体基板）
- 32 絶縁膜
- 33 TiN膜（下地膜）
- 34 第一の銅膜
- 34a Cu-Seed膜（第一の銅膜）
- 11 搬送ロボット（基板搬送機構）
- 12 セパレーションチャンバ（トランスファーチャンバ）
- 13 TiN-CVDチャンバ
- 14 Cu-CVDチャンバ

- 15 改質処理チャンバ
- 16 アニールチャンバ
- 17、18 ロード／アンロードモジュール
- 13a、14a、15a、16a 真空排気機構
- 19 ゲートバルブ
- 21a 真空室
- 23 基板支持機構
- 24 ガス導入管
- 22 ガス供給器
- 21b 排気室
- 26 整合回路
- 25 高周波電源

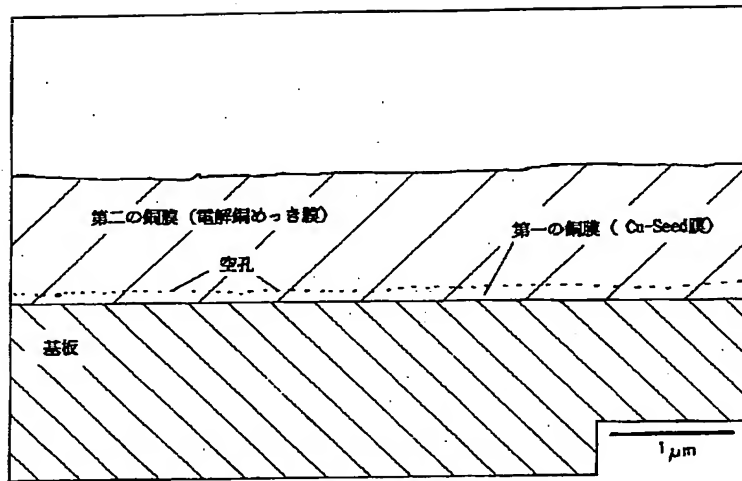
【図1】



【図2】

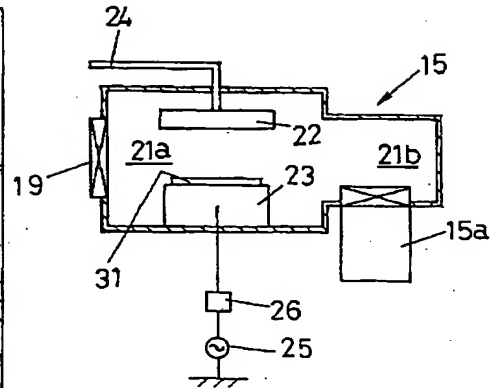


【図3】

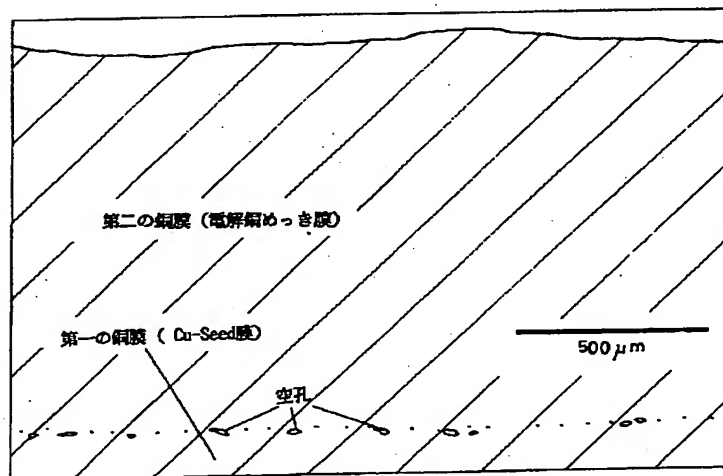


第一の銅膜 (Cu-Seed膜) 上に電解銅めっきにより
第二の銅膜が形成されている銅薄膜 (従来例)

【図6】

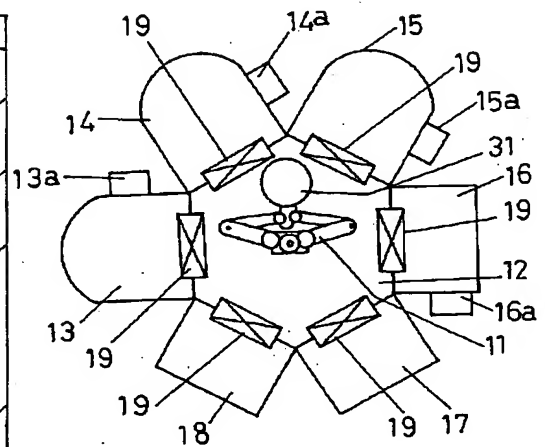


【図4】

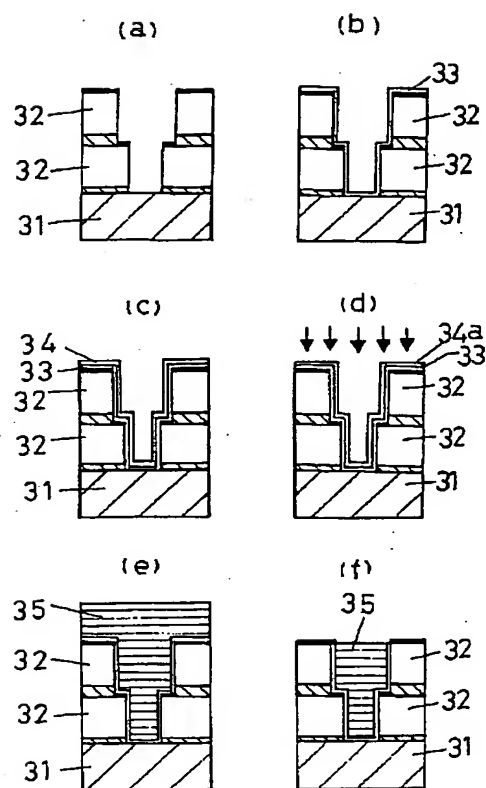


第一の銅膜 (Cu-Seed膜) 上に電解銅めっきにより
第二の銅膜が形成されている銅薄膜 (従来例)

【図5】



【図7】



フロントページの続き

(51) Int. Cl. 7

H01L 21/288
21/768

識別記号

FI

H01L 21/288
21/90

テームコード (参考)

E
C

- (72) 発明者 小出 知昭
東京都府中市四谷5丁目8番1号 アネル
バ株式会社内
- (72) 発明者 國信 隆史
東京都府中市四谷5丁目8番1号 アネル
バ株式会社内
- (72) 発明者 鈴木 薫
東京都府中市四谷5丁目8番1号 アネル
バ株式会社内

Fターム (参考) 4K024 AA09 AB02 AB15 BA09 BB12
DA10 GA01
4K030 AA11 BA01 CA04 DA08 FA10
HA03 LA15
4M104 BB17 BB30 BB32 BB33 CC01
DD22 DD44 DD45 DD52 DD86
DD89 FF17 FF18 FF22 HH01
HH08 HH13
5F033 HH11 HH21 HH32 HH33 HH34
JJ01 JJ11 JJ21 JJ32 JJ33
JJ34 KK01 MM02 MM12 MM13
NN06 NN07 PP02 PP11 PP27
PP33 QQ98 WW03 XX02 XX08
XX13